

TITLE: Polycrystalline silicon film for e.g. wiring material in semiconductor devices, involves dividing the film formation process and controlling growth of single silicon crystal grain

PATENT-ASSIGNEE: FUJI FILM MICRO DEVICE KK[FUJF], FUJI PHOTO FILM CO LTD[FUJF]

PRIORITY-DATA: 2000JP-0014322 (January 24, 2000)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
JP 2001210593 A	August 3, 2001	N/A	008	H01L 021/205

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
JP2001210593A	N/A	2000JP-0014322	January 24, 2000

INT-CL (IPC): C23C016/24, H01L021/205, H01L021/285, H01L021/339, H01L029/762, H01L029/78

ABSTRACTED-PUB-NO: JP2001210593A

BASIC-ABSTRACT:

NOVELTY - Formation of poly-crystalline silicon film involves dividing process of formation of poly-crystalline silicon film (204) into growth process of first poly-crystalline silicon film (204a) and growth process of second poly-crystalline silicon film (204b), and controlling growth of single silicon crystal grain.

DETAILED DESCRIPTION - The process includes exposing poly-crystalline silicon film surface to atmosphere containing oxygen. The growth process is performed by pressure reduction chemical vapor growth process.

An INDEPENDENT CLAIM is also included for semiconductor device equipped with poly-crystalline silicon film.

USE - For wiring material in semiconductor devices such as charge coupled device (CCD) and as gate electrode in large-scale integration (LSI).

ADVANTAGE - The growth of silicon single crystal grain in the film is controlled. The unevenness on the surface of the film resulting from silicon single crystal grain is minimized.

DESCRIPTION OF DRAWING(S) - The figure shows the sectional drawing explaining the formation of poly-crystalline silicon film. (Drawing includes non-English language text).

Poly-crystalline silicon film 204

Growth process of first poly-crystalline silicon film 204a

Growth process of second poly-crystalline silicon film 204b

L12: Entry 1 of 2

File: JPAB

Aug 3, 2001

PUB-NO: JP02001210593A

DOCUMENT-IDENTIFIER: JP 2001210593 A

TITLE: METHOD FOR FORMING POLYCRYSTALLINE

PUBN-DATE: August 3, 2001
SILICONE FILM AND SEMICONDUCTOR DEVICE

INVENTOR-INFORMATION:
NAME

HIUGA, TAKAFUMI
SAITO, MAKI

COUNTRY

INT-CL (IPC):

H01 L 21/205; C23 C 16/24; H01 L 21/285; H01 L 29/762; H01 L 21/339;
H01 L 29/78

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a method for forming a polycrystalline silicon film which enables particle size of silicon single crystal grains to be small.

SOLUTION: The method is characterized as suppressing the growth of silicon single-crystal particles, by dividing the production process to form a polycrystalline silicon film 204 into a growing process of a first polycrystalline silicon film 204a and a growing production process of a second polycrystalline silicon film 204b.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-210593

(P2001-210593A)

(43) 公開日 平成13年8月3日 (2001.8.3)

(51) Int.Cl.	識別記号	F I	テーマコード(参考)
H 0 1 L 21/205		H 0 1 L 21/205	4 K 0 3 0
C 2 3 C 16/24		C 2 3 C 16/24	4 M 1 0 4
H 0 1 L 21/285	3 0 1	H 0 1 L 21/285	3 0 1 Z 4 M 1 1 8
29/762		29/76	3 0 1 A 5 F 0 4 0
21/339		29/78	3 0 1 G 5 F 0 4 5

審査請求 未請求 請求項の数 5 O L (全 8 頁) 最終頁に続く

(21) 出願番号 特願2000-14322(P2000-14322)

(22) 出願日 平成12年1月24日 (2000.1.24)

(71) 出願人 391051588

富士フイルムマイクロデバイス株式会社
宮城県黒川郡大和町松坂平1丁目6番地

(71) 出願人 000005201

富士写真フイルム株式会社
神奈川県南足柄市中沼210番地

(72) 発明者 日向 隆文

宮城県黒川郡大和町松坂平1丁目6番地
富士フイルムマイクロデバイス株式会社内

(74) 代理人 100091672

弁理士 岡本 啓三

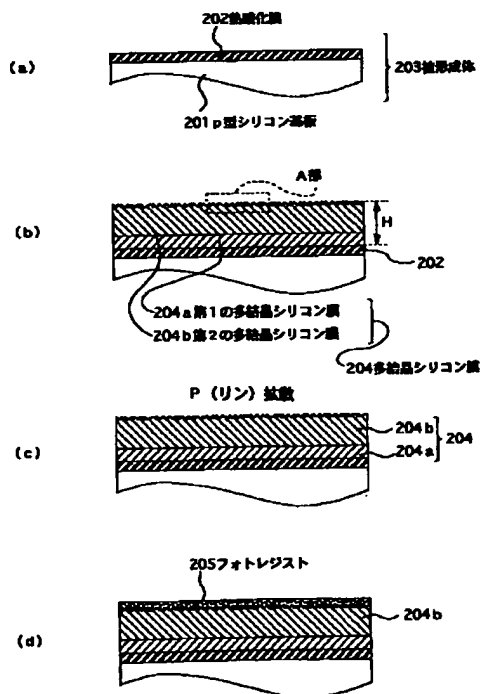
最終頁に続く

(54) 【発明の名称】 多結晶シリコン膜の形成方法及び半導体装置

(57) 【要約】

【課題】 シリコン単結晶粒の粒径を小さくすることができる多結晶シリコン膜の形成方法を提供すること。

【解決手段】 多結晶シリコン膜204を形成する工程を第1の多結晶シリコン膜204aの成長工程と第2の多結晶シリコン膜204bの成長工程とに分け、シリコン単結晶粒の成長を抑えたことを特徴とする。



【特許請求の範囲】

【請求項1】 多結晶シリコン膜の形成方法において、前記多結晶シリコン膜を複数の成長工程に分けて形成し、シリコン単結晶粒の成長を抑えたことを特徴とする多結晶シリコン膜の形成方法。

【請求項2】 前記成長工程は、該成長工程で形成した多結晶シリコン膜の表面を酸素を含む雰囲気中に曝す工程を含むことを特徴とする請求項1に記載の多結晶シリコン膜の形成方法。

【請求項3】 前記成長工程は、減圧化学的気相成長法で行われることを特徴とする請求項1又は請求項2に記載の多結晶シリコン膜の形成方法。

【請求項4】 前記多結晶シリコン膜の膜厚は、100Å以上10000Å以下であることを特徴とする請求項1から請求項3のいずれかに記載の多結晶シリコン膜の形成方法。

【請求項5】 請求項1から請求項4のいずれかに記載の多結晶シリコン膜の形成方法により形成された多結晶シリコン膜を備えた半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は多結晶シリコン膜の形成方法に関し、より詳細には、多結晶シリコン膜表面におけるシリコン単結晶の粒径を小さくするのに有用な技術に関する。

【0002】

【従来の技術】従来、CCD（電荷結合素子）やLSI等の半導体装置の配線材料として、多結晶シリコンが多用されている。CCDでは水平及び垂直電荷転送電極として、また、LSIではMOSTランジスタのゲート電極として多結晶シリコン膜が用いられている。

【0003】このような従来例に係る多結晶シリコン膜の形成方法について、MOSTランジスタのゲート電極を形成する場合を例にして説明する。図6（a）～

（d）、及び図7（a）～（b）は、従来例に係る多結晶シリコン膜の形成方法について示す断面図である。まず最初に、図6（a）に示すように、表面に熱酸化膜102が形成されたp型シリコン基板101を用意する。

【0004】次いで、図6（b）に示すように、膜厚が4000Åである多結晶シリコン膜103を熱酸化膜102上に形成する。この多結晶シリコン膜103は、SiH₄を含む反応ガスを用いて、減圧CVD法（減圧化学的気相成長法）により形成される。続いて、図6

（c）に示すように、多結晶シリコン膜103にP（リン）を拡散させる。これは、多結晶シリコン膜103の電気抵抗を小さくし、所望の電気的特性を得るために行われるものである。

【0005】この拡散は、p型シリコン基板101を800℃～1000℃に加熱した状態でP（リン）を含む反応ガス中に多結晶シリコン膜103の表面を曝すこと

により行われる。次に、図6（d）に示すように、多結晶シリコン膜103上にフォトレジスト104を塗布する。

【0006】続いて、図7（a）に示すように、フォトレジスト104をパターニングする。これは、フォトレジスト104を露光、現像し、所望でない部分に形成されているフォトレジスト104を除去することにより行われる。これにより、フォトレジスト104が除去された部分に多結晶シリコン膜103の表面が露出するようになる。

【0007】次いで、図7（b）に示すように、フォトレジスト104をエッチングマスクにし、多結晶シリコン膜103を異方的にエッチングする。これは、反応性イオンエッチング（RIE）等により行われるものである。これにより、エッチングで除去されずに残った多結晶シリコン膜103がゲート電極103aとなる。そして、ゲート電極103aが形成されていない部分の熱酸化膜102の表面が露出する。なお、このエッチングが終了後、フォトレジスト104は除去される。

【0008】次に、図7（c）に示すように、表面全体をウェットエッチング液に曝し、表面が露出している部分の熱酸化膜102を除去する。これにより、ゲート電極103aの下の方に熱酸化膜102が残ることになる。以上により、p型シリコン基板101上に、多結晶シリコンから成るMOSTランジスタのゲート電極103aが熱酸化膜102を介して形成されたことになる。この後は、イオン注入工程や拡散工程により、ソース領域及びドレイン領域が形成される。

【0009】

【発明が解決しようとする課題】ところで、多結晶シリコンは、シリコンの単結晶粒が集合して成るものであるから、多結晶シリコン膜103の表面にはこの単結晶粒に起因する凹凸が形成される。これについて、図8

（a）及び（b）を参照しながら説明する。図8（a）は、図6（b）におけるA部の拡大断面図である。図8（a）に示されるように、多結晶シリコン膜103の表面には、シリコンの単結晶粒に起因する凹凸が形成されている。本願発明者が行った調査結果によると、この凹凸の高さh1（図8（a）参照）は、多結晶シリコン膜103の膜厚H（図6（b）参照）の約1/10程度であることが分かった。従って、上の例では多結晶シリコン膜103の膜厚が4000Åであるので、表面の凹凸の高さは約400Åとなる。

【0010】また、図8（b）は、図6（c）におけるA部の拡大断面図であり、これはP（リン）を拡散した後の図6（b）のA部に対応するものである。図8（b）に示されるように、P（リン）を拡散した後の多結晶シリコン膜103の表面は、拡散する前（図8（a）参照）に比べ、表面の凹凸が更に大きくなっている。これは、P（リン）を拡散する際にp型シリコン基

板101を加熱するので、このときに膜中のシリコン単結晶粒が成長するためであると考えられる。

【0011】しかしながら、このように表面に凹凸が形成されていると、多結晶シリコン膜103が所望の電気的特性を示さないようになってしまう。更に、凹凸のある多結晶シリコン膜103上にフォトレジスト104を塗布(図6(d)参照)すると、該フォトレジスト104の膜厚が場所により異なってしまう。そのため、フォトレジスト104のパターニング(図7(a)参照)の精度が悪くなり、ひいてはゲート電極103aを所望の加工精度で形成することができなくなってしまう。

【0012】本発明に係る従来例の問題点に鑑みて創作されたものであり、シリコン単結晶粒の粒径を小さくすることができる多結晶シリコン膜の形成方法を提供することを目的とするものである。

【0013】

【課題を解決するための手段】上記した課題は、第1の発明である、多結晶シリコン膜の形成方法において、前記多結晶シリコン膜を複数の成長工程に分けて形成し、シリコン単結晶粒の成長を抑えたことを特徴とする多結晶シリコン膜の形成方法によって解決する。または、第2の発明である、前記成長工程は、該成長工程で形成した多結晶シリコン膜の表面を酸素を含む雰囲気中に曝す工程を含むことを特徴とする第1の発明に記載の多結晶シリコン膜の形成方法によって解決する。

【0014】または、第3の発明である、前記成長工程は、減圧化学的気相成長法で行われることを特徴とする第1の発明又は第2の発明に記載の多結晶シリコン膜の形成方法によって解決する。または、第4の発明である、前記多結晶シリコン膜の膜厚は、100Å以上10000Å以下であることを特徴とする第1の発明から第3の発明のいずれかに記載の多結晶シリコン膜の形成方法によって解決する。

【0015】または、第5の発明である、第1の発明から第4の発明のいずれかに記載の多結晶シリコン膜の形成方法により形成された多結晶シリコン膜を備えた半導体装置によって解決する。次に、本発明の作用について説明する。本発明に係る多結晶シリコン膜の形成方法によれば、多結晶シリコン膜を複数の成長工程に分けて形成する。すなわち、最初の成長工程において多結晶シリコン膜を形成後、該多結晶シリコン上にそれとは別の多結晶シリコン膜を次の成長工程において形成する。

【0016】このとき、先に形成した多結晶シリコン膜の中のシリコン単結晶粒の成長は、最初の成長工程が終了した際に停止する。そして、次の成長工程では、最初の成長工程で形成されたとは別のシリコン単結晶粒が新たに成長する。換言すると、これらの多結晶シリコン膜の膜中では、粒径が大きくなならないうちにシリコン単結晶粒の成長がとまり、それとは別のシリコン単結晶粒が新たに成長する。

【0017】新たに成長したシリコン単結晶粒は、単層の多結晶シリコン膜を形成する場合に比べ、その粒径が小さくなる。これは、単層の多結晶シリコン膜を形成する場合は単一の成長工程においてシリコン単結晶粒が成長するのに対し、今の場合はそれよりも短い成長工程でシリコン単結晶粒が成長し、その成長が抑えられるためである。

【0018】そのため、単層の多結晶シリコン膜を形成する場合に比べ、シリコン単結晶粒の粒径が小さくなり、シリコン単結晶粒に起因する膜表面の凹凸が小さくなる。

【0019】

【発明の実施の形態】(1)本発明の概略についての説明

本願発明者は、本発明に到る経緯の中で次のような仮定を行った。すなわち、多結晶シリコン膜が形成される過程では、該多結晶シリコン膜の膜中にシリコン単結晶粒の「核」となるべきものが存在し、この「核」を中心にしてシリコン単結晶粒が形成されるのではないかと考えた。これによると、多結晶シリコン膜の膜厚を大きくする程、膜中のシリコン単結晶粒も「核」を中心にして大きく成長するので、該シリコン単結晶粒に起因する多結晶シリコン膜表面の凹凸も大きくなることになる。

【0020】この点に鑑み、本願発明者は、膜厚が厚くならないうちに多結晶シリコン膜の成膜を止めて膜中のシリコン単結晶粒の成長を抑えることにより、多結晶シリコン膜表面の凹凸も小さくすることができるという点を見出した。更に本願発明者は、多結晶シリコン膜の膜厚を所望に大きくしたい場合は、上のようにして形成した多結晶シリコン膜を何層か積層することにより、所望の膜厚の多結晶シリコン膜を形成する方法を発明した。この方法について、以下の実施形態において詳細に説明する。

【0021】(2)本発明の実施の形態に係る多結晶シリコン膜の形成方法についての説明

図1(a)～(d)、及び図2(a)～(c)は、本発明の実施の形態に係る多結晶シリコン膜の形成方法について説明する断面図である。本実施形態では、MOSTランジスタのゲート電極を形成する場合を例にして、本発明に係る多結晶シリコン膜の形成方法について説明する。

【0022】まず最初に、図1(a)に示すように、表面に熱酸化膜202が形成されたp型シリコン基板201を用意する。このp型シリコン基板201と熱酸化膜202とで被形成体203が構成される。次に、図1(b)に示すように、熱酸化膜202上に第1の多結晶シリコン膜204aを形成し、その後、該多結晶シリコン膜204a上に第2の多結晶シリコン膜204bを形成する。そして、これら第1の多結晶シリコン膜204aと第2の多結晶シリコン膜204bとにより、多結晶

シリコン膜204が構成される。換言すると、多結晶シリコン膜204は2つの成長工程に分けて形成されたものであり、最初の成長工程では第1の多結晶シリコン膜204aを成長させ、次の成長工程では第2の多結晶シリコン膜204bが成長させられる。

【0023】ここで、第1の多結晶シリコン膜204aの膜厚は1000Åであり、第2の多結晶シリコン膜204bの膜厚は3000Åである。従って、被形成体203上に膜厚が4000Å(=1000Å+3000Å)の多結晶シリコン膜204が形成されることにな
る。なお、これに代えて、第1の多結晶シリコン膜204aの膜厚を3000Åにし、第2の多結晶シリコン膜204bの膜厚を1000Åにして多結晶シリコン膜2*

*04の膜厚を4000Åにしても、以下で説明するのと同様の作用、効果を奏することができる。

【0024】このように第1の多結晶シリコン膜204aと第2の多結晶シリコン膜204bとを積層する際の成膜シーケンスについて、表1及び図4を参照して説明する。表1は、第1の多結晶シリコン膜204aと第2の多結晶シリコン膜204bを形成する際の成膜条件を示すものである。そして、図4は、これらの多結晶シリコン膜を形成する成膜シーケンスを示すフローチャートである。

【0025】

【表1】

成膜温度	600~650℃
チャンバ圧力	0.3~0.7Torr
SiH ₄ 流量	500~900cc/min
第1の多結晶シリコン膜204a(1000Å)の成膜時間	約11min
第2の多結晶シリコン膜204b(3000Å)の成膜時間	約33min

【0026】まず最初のステップS1(図4参照)では、第1の多結晶シリコン膜204aを熱酸化膜202上に形成する。これは、表1に示される条件に従い、減圧CVD法(減圧化学的気相成長法)により形成される。次のステップS2では、SiH₄のチャンバ(図示せず)への供給を停止する。

【0027】次いで、ステップS3に移行し、チャンバ内を窒素ガスなどの不活性ガスでパージする。次に、ステップS4に移行し、第1の多結晶シリコン膜204aの表面を酸素を含む雰囲気中に曝す。そして所定の時間が経過した後、ステップS5に移行し、表1に示される成膜条件で第2の多結晶シリコン膜204bを第1の多結晶シリコン膜204a上に形成する。なお、第2の多結晶シリコン膜204bは、第1の多結晶シリコン膜204aと同様に減圧CVD法により形成される。

【0028】以上により、第1の多結晶シリコン膜204aと第2の多結晶シリコン膜204bとを積層して成る多結晶シリコン膜204が被形成体203上に積層された。なお、これらの多結晶シリコン膜(204a、204b)の膜厚は、表1に示される条件の下で成膜時間を調整することにより、所望の厚さにすることができる。本実施形態においては、第1の多結晶シリコン膜204a(膜厚1000Å)の成膜時間は約11分であり、第2の多結晶シリコン膜204b(膜厚3000Å)のそれは約33分である。また、このようにして形成された第2の多結晶シリコン膜204bの表面の凹凸の様子については後述する。

【0029】再び図1を参照し、多結晶シリコン膜204の形成後に行われる工程について説明する。上のようにして多結晶シリコン膜204を形成した後、図1(c)に示すように、この多結晶シリコン膜204にP※50

20※(リン)を拡散する。この拡散は、多結晶シリコン膜204の電気抵抗を小さくし、所望の電気的特性を得るために行われるものである。そして、これはp型シリコン基板201を800℃~1000℃に加熱した状態でP(リン)を含む反応ガス中に第2の多結晶シリコン膜204bの表面を曝すことにより行われる。

【0030】次いで、図1(d)に示すように、第2の多結晶シリコン膜204b上にフォトレジスト205を塗布する。次に、図2(a)に示すように、フォトレジスト205をパターニングする。このパターニングは、フォトレジスト205を露光、現像し、ゲート電極とならない部分に形成されているフォトレジスト205を除去することにより行われる。

【0031】続いて、図2(b)に示すように、除去されずに残っているフォトレジスト205をエッチングマスクにし、その下に形成されている第1の多結晶シリコン膜204aと第2の多結晶シリコン膜204bとをエッチングして除去する。このエッチングは、反応性イオンエッチング(RIE)等により行われるものである。そして、このエッチングの後に、エッチングマスクとして用いたフォトレジストを除去する。これにより、熱酸化膜202上にゲート電極206が形成されたことになる。

【0032】次いで、図2(c)に示すように、表面全体をウェットエッチング液に曝す。このとき、先に形成されたゲート電極206がエッチングマスクとして機能するので、該ゲート電極206の下に形成されている熱酸化膜202のみが残り、その他の部分に形成されている熱酸化膜202が除去される。以上により、p型シリコン基板201上に、多結晶シリコンから成るMOSTランジスタのゲート電極206が熱酸化膜202を介し

て形成された。この後は、イオン注入工程や拡散工程により、ソース領域及びドレイン領域がp型シリコン基板201に形成される。

【0033】ここで、図1(b)に示される工程で形成された第2の多結晶シリコン膜204bの表面の凹凸の様子について、図3を参照しながら説明する。図3は、図1(b)のA部の拡大断面図である。図3に示されるように、第2の多結晶シリコン膜204bの表面には、膜中に形成されたシリコン単結晶粒に起因する凹凸が形成されている。図中に示されるh2は、この凹凸の高さを表すものである。本願発明者は、このh2が、多結晶シリコン膜204の膜厚H(図1(b)参照)の概略1/100になることを確かめた。従って、膜厚が4000Åである本実施形態の場合、h2は約40Åとなる。この結果は、凹凸の高さh1(図8(a)参照)が多結晶シリコン膜103の膜厚H(図6(b)参照)の1/10である従来例と比較して、格段に小さい値となっている。

【0034】この理由は以下のように考えられる。すなわち、第1の多結晶シリコン膜204aを形成後、該多結晶シリコン膜204aの表面を酸素を含む雰囲気中に曝したため(図4、ステップS4参照)、膜中のシリコン単結晶粒の成長がこの段階で停止する。そして、この後に形成される第2の多結晶シリコン膜204bの膜中では、第1の多結晶シリコン膜中におけるのとは別の「核」を中心にしてシリコン単結晶粒の成長が始まる。従って、多結晶シリコン膜を積層しない場合と比較して、「核」を中心にしたシリコン単結晶粒の成長が十分に行われないため、該シリコン単結晶粒の粒径が小さくなり、表面の凹凸も小さくなる。

【0035】更に、本願発明者は、多結晶シリコン膜204にP(リン)を拡散後(図1(c)に示される工程の後)も、第2の多結晶シリコン膜204bの表面の凹凸が大きくなることを発見した。この理由は不明であるが、P(リン)を拡散後に表面の凹凸が大きくなる従来例と比較して、ゲート電極206(図2(c)参照)の電気的特性が向上することが期待される。また、第2の多結晶シリコン膜204bの表面の凹凸が従来に比べて小さいので、膜厚が均一になるようにフォトレジスト205を塗布(図1(d)参照)でき、フォトレジスト205のパターニング(図2(a)参照)を従来に比べて精度良く行うことができる。そのため、エッチングマスクとしてフォトレジスト205を用いて形成されるゲート電極206の加工精度も従来に比べて向上させることができる。

【0036】なお、本実施形態では、多結晶シリコン膜204は2つの成長工程に分けて形成され、2層の多結晶シリコン膜(204a、204b)により構成された。しかしながら、本発明はこれに限られるものではなく、図5に示すように、3つの成長工程に分けて多結晶

シリコン膜204を形成しても良い。すなわち、第2の多結晶シリコン膜204b上に第3の多結晶シリコン膜204cを形成し、第1～第3の多結晶シリコン膜により、多結晶シリコン膜204を構成しても良い。

【0037】この場合の膜厚は、第1の多結晶シリコン膜204aが1000Å、第2の多結晶シリコン膜204bが2000Å、第3の多結晶シリコン膜204cが1000Åであり、多結晶シリコン膜204の膜厚は4000Åとなる。そして、これらの多結晶シリコン膜(204a、204b、204c)は、表1に示される成膜条件に従って減圧CVD法により形成される。

【0038】また、第2の多結晶シリコン膜204bは、成膜後にその表面が酸素を含む雰囲気中に曝される。その後、所定の時間が経過した後に、第2の多結晶シリコン膜204b上に第3の多結晶シリコン膜204cが形成される。先に説明した第2の多結晶シリコン膜と同様に、このようにして形成された第3の多結晶シリコン膜204cの表面の凹凸は、従来に比べて小さいものとなる。

【0039】なお、本実施形態では、多結晶シリコン膜204の膜厚が4000Åの場合について説明したが、多結晶シリコン膜204の膜厚はこれに限られるものではない。例えば、多結晶シリコン膜204の膜厚を約100～10000Åとしても上で説明したのと同様の作用、及び効果を奏することができる。更に、本実施形態ではMOSトランジスタのゲート電極を形成する場合を例にし、本発明に係る多結晶シリコン膜の形成方法について説明したが、本発明はMOSトランジスタのゲート電極にのみ限定されるものではない。例えば、CCDの水平及び垂直電荷転送電極にも適用することができる。

【0040】

【発明の効果】以上説明したように、本発明に係る多結晶シリコン膜の形成方法によれば、多結晶シリコン膜を複数の成長工程に分けて形成した。これにより、膜中のシリコン単結晶粒の成長が抑えられ、該シリコン単結晶粒に起因する膜表面の凹凸を従来にくらべて小さくすることができる。

【図面の簡単な説明】

【図1】本発明の実施の形態に係る多結晶シリコン膜の形成方法について説明する断面図(その1)である。

【図2】本発明の実施の形態に係る多結晶シリコン膜の形成方法について説明する断面図(その2)である。

【図3】図1(b)のA部の拡大断面図である。

【図4】本発明の実施の形態に係る多結晶シリコン膜の形成方法の成膜シーケンスを示すフローチャートである。

【図5】本発明の実施の形態に係る多結晶シリコン膜の形成方法の他の例について示す断面図である。

【図6】従来例に係る多結晶シリコン膜の形成方法について示す断面図(その1)である。

【図7】従来例に係る多結晶シリコン膜の形成方法について示す断面図（その2）である。

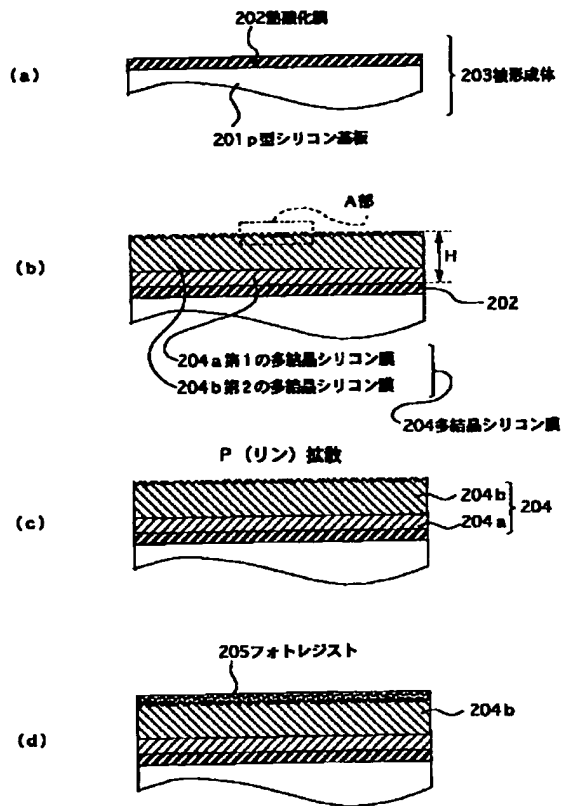
【図8】図8（a）は図6（b）のA部の拡大断面図であり、図8（b）は図6（c）のA部の拡大断面図である。

【符号の説明】

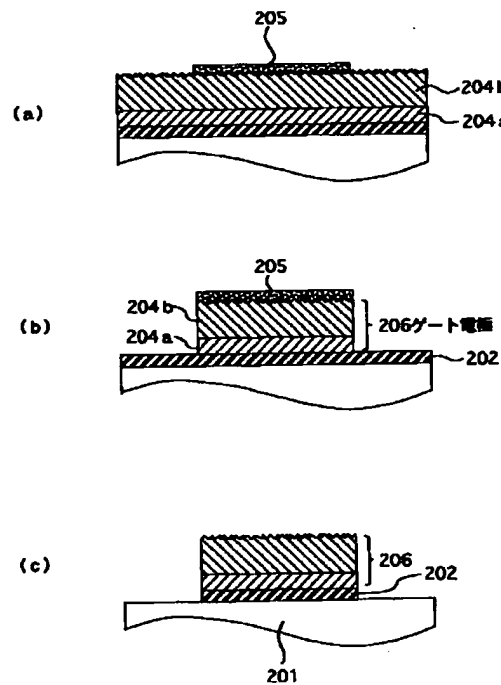
101、201・・・・・・p型シリコン基板、
102、202・・・・・・熱酸化膜、
103、204・・・・・・多結晶シリコン膜、

103a、206・・・・・・ゲート電極、
104、205・・・・・・フォトリソ、
203・・・・・・被形成体、
204a・・・・・・第1の多結晶シリコン膜、
204b・・・・・・第2の多結晶シリコン膜、
204c・・・・・・第3の多結晶シリコン膜。

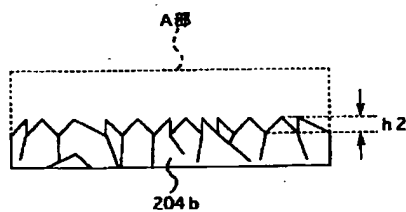
【図1】



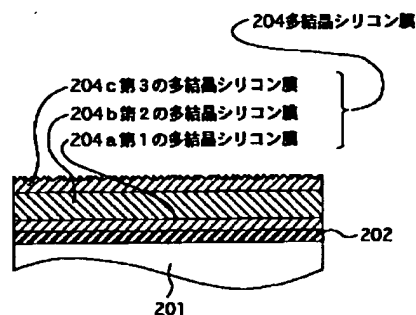
【図2】



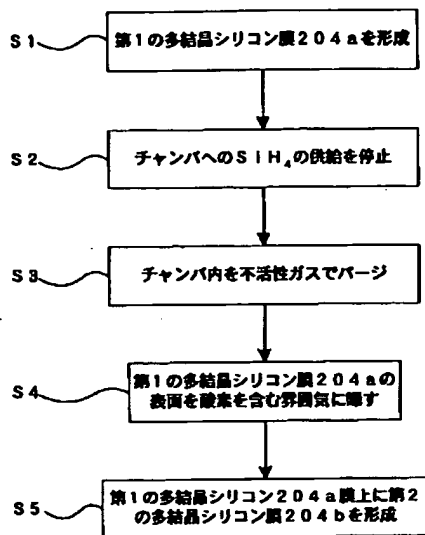
【図3】



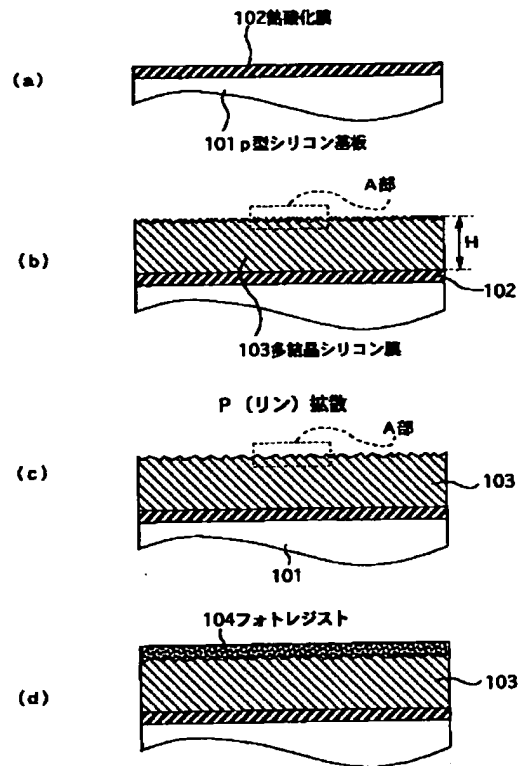
【図5】



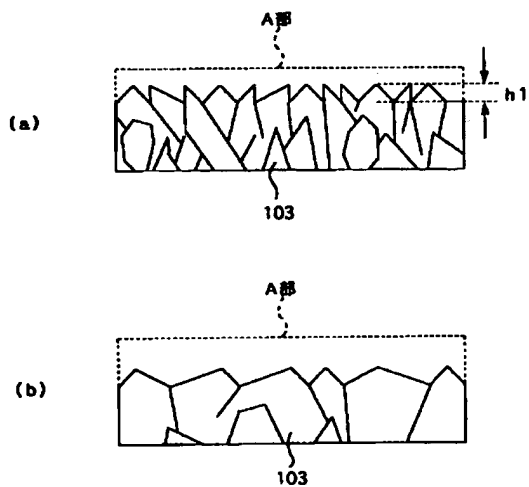
【図4】



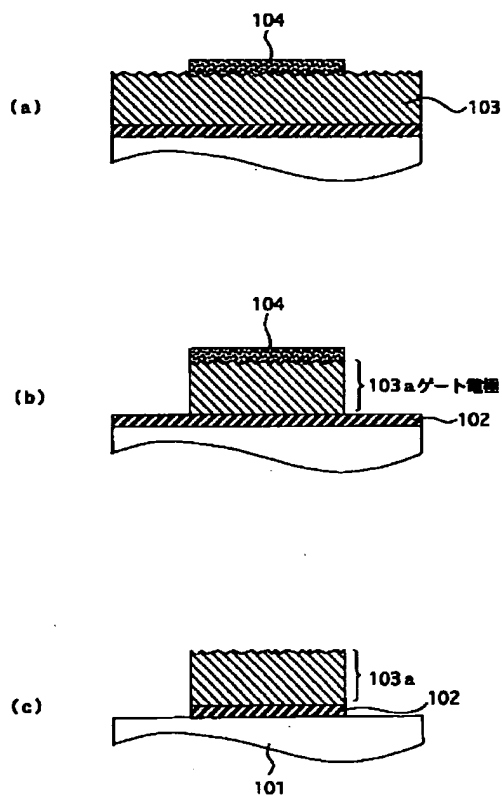
【図6】



【図8】



【図7】



フロントページの続き

(51)Int.Cl.⁷

H01L 29/78

識別記号

F I

テマコード(参考)

(72)発明者 斎藤 牧

宮城県黒川郡大和町松坂平1丁目6番地
 富士フイルムマイクロデバイス株式会社内

Fターム(参考) 4K030 AA06 BA29 BB03 DA08 LA11

4M104 AA01 BB01 BB37 CC05 DD21

DD43 DD55 DD65 FF13 GG09

GG17 HH12

4M118 AA10 DA20

5F040 DA04 DA15 DC01 EC01 EC02

EC04 EC06 ED03 FB04 FC21

5F045 AA06 AB03 AC01 AD09 AE19

BB18 DA52